

数字电路科目大纲

一、考试性质

数字电路是硕士研究生入学考试科目之一，是硕士研究生招生院校自行命题的选拔性考试。本考试大纲的制定力求反映招生类型的特点，科学、公平、准确、规范地测评考生的相关基础知识掌握水平，考生分析问题和解决问题及综合知识运用能力。报考人员应根据本大纲的内容和要求自行组织学习内容和掌握有关知识。

本大纲主要包括数字逻辑基础部分、组合时序逻辑电路分析设计部分、其他数字电路部分的基础知识和设计计算理论。考生应系统的掌握数字逻辑电路的基本概念、基本原理、基本的分析方法和设计方法以及常用数字电子器件的使用方法。

二、评价目标

- (1) 要求考生具有较全面的关于数字电路的基础知识。
- (2) 要求考生具有较高的分析问题和解决问题的能力。
- (3) 要求考生具有较强的综合知识运用能力。

三、考试内容

(一) 数字逻辑基础部分

1、基本要求

掌握常用数制及其相互转换，掌握 8421BCD 编码及其他常用编码，掌握基本逻辑运算；掌握逻辑代数中的基本定律和定理，掌握逻辑关系的描述方法及其相互转换，掌握逻辑函数的化简方法。

2、考试范围

1) 数制与数码

十进制、二进制、八进制、十六进制之间的相互转换方法；BCD码、格雷码、余3码等常用编码；有、无符号二进制数的算术运算；原码、反码、补码。

2) 逻辑代数

与、或、非、与非、或非、与或非、同或、异或的逻辑表达式；最小项表达式；最简式与或式、与非-与非式；逻辑函数的化简方法（代数法、卡诺图法）。

3) 逻辑门

与门、或门、非门、与非门、或非门、与或非门、同或门、异或门的电路符号；特殊门电路（三态门 TSL、开路门 OD、传输门 TG）的符号、特点、简单应用。

(二) 组合时序逻辑电路分析设计部分

1、基本要求

掌握组合逻辑电路、时序逻辑电路的特点、分析方法和设计方法；掌握典型组合逻辑电路、时序逻辑电路工作原理、逻辑功能及使用方法；掌握常用集成组合逻辑功能器件和时序逻辑功能器件的典型应用。

2、考试范围

1) 组合逻辑电路

掌握组合逻辑电路的特点、分析方法和设计方法，掌握编码器、译码器、数据分配器、数据选择器、加法器和数值比较器等常用组合

电路的逻辑功能及使用方法，掌握常用集成组合逻辑功能器件的典型应用，了解组合电路的竞争冒险现象及其消除方法，了解组合可编程逻辑器件。

2) 时序逻辑电路

掌握锁存器和触发器的逻辑功能及其描述方法，理解锁存器的电路结构、工作原理，了解典型时钟触发器的电路结构、工作原理及触发方式；掌握同步、异步时序逻辑电路的特点、描述方法和分析方法，掌握同步、异步时序逻辑电路的设计方法；掌握计数器、寄存器等常用时序逻辑功能器件的工作原理、逻辑功能及使用方法，掌握常用集成计数器、寄存器的应用；了解时序可编程逻辑器件。

(三) 其他数字电路部分

1、基本要求

掌握存储器、脉冲波形产生与变换电路、数模与模数转换器的电路组成、工作原理、特点及应用。

2、考试范围

1) 存储器

理解 ROM、RAM 的概念、分类、电路结构、工作原理和扩展存储容量的方法，理解用 ROM 实现组合逻辑函数的方法，了解可编程逻辑器件。

2) 脉冲波形的产生与变换

理解施密特触发器、单稳态触发器和多谐振荡器的特点、工作原理、主要参数的分析方法及电路的应用，掌握 555 定时器的工作原理及应用。

3) 数模与模数转换器

了解 D/A、A/D 转换器的功能及主要参数，理解常见的 D/A 和 A/D 转换器的电路组成、工作原理、特点及应用。

四、考试形式和试卷结构

(一) 考试时间

考试时间为 180 分钟。

(二) 答题方式

答题方式为闭卷、笔试。

试卷由试题和答题纸组成。答案必须写在答题纸相应的位置上。

(三) 试卷满分及考查内容分数分配

试卷满分为 150 分。

(四) 试卷题型比例

1. 填空题 (10%)
2. 选择题 (10%)
3. 分析和设计题 (80%)

五、样卷

1、填空题

某 16 位 ROM 包含有 16384 个基本存储单元，其有 () 根地址线和 () 根数据读出线。

2、选择题

输入为 2kHz 矩形脉冲信号，欲得到 500Hz 矩形脉冲信号输出，

应采用（ ）。

- A. 多谐振荡器 B. 施密特触发器 C. 单稳态触发器 D. 二进制计数器

4、分析和设计题

略